


INSULATED GATE TYPE OF TRANSISTOR, AND ITS MANUFACTURE

Patent Number: JP2000269499
Publication date: 2000-09-29
Inventor(s): MATSUKI HIROFUMI
Applicant(s): TOSHIBA CORP
Requested Patent:  JP2000269499
Application Number: JP19990076066 19990319
Priority Number(s):
IPC Classification: H01L29/78
EC Classification:
Equivalents:

Abstract

PROBLEM TO BE SOLVED: To prevent the insulation breakage of the gate insulating film, at the gate electrode polysilicon extracting-out part at the terminus of a trench top.

SOLUTION: An insulated gate type of transistor has a first conductive type of a first semiconductor layer and a second conductive type of a second semiconductor layer 2 a first conductivity type of third semiconductor layer stacked in order, and a trench 5 reaching the first semiconductor layer via a second semiconductor layer 2 from the surface of the third semiconductor layer, and a gate insulating film 6 and a gate electrode 7 made on the surface of the trench 5, and the electric conductivity between the third semiconductor layer and the first semiconductor layer is controlled by the voltage applied to the gate electrode 7. In this case, the thickness of the prescribed part of the gate insulating film 5 in the trench 5 is made larger than that of the other section of the trench.

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-269499

(P2000-269499A)

(43)公開日 平成12年 9月29日 (2000. 9. 29)

(51)Int.Cl.⁷

識別記号

F I

テームト (参考)

H 0 1 L 29/78

H 0 1 L 29/78

6 5 3 A 5 F 0 4 0

3 0 1 V

6 5 2 K

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21)出願番号

特願平11-76066

(22)出願日

平成11年 3月19日 (1999. 3. 19)

(71)出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72)発明者 松木 宏文

神奈川県川崎市幸区小向東芝町1番地 株式会社東芝多摩川工場内

(74)代理人 100058479

弁理士 鈴江 武彦 (外6名)

Fターム(参考) 5F040 DA19 DC01 EB13 EC07 EC20

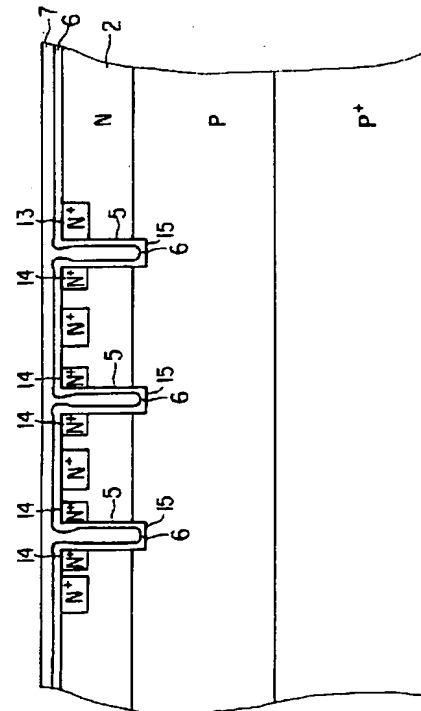
EE02 EF18

(54)【発明の名称】 絶縁ゲート形トランジスタおよびその製造方法

(57)【要約】

【課題】 Pチャネル型パワーMOSFETのトレンチ上部コーナーにおけるゲート酸化膜は平坦部またはトレンチ側壁に比べて酸化膜厚が薄く、さらにコーナー部の形状に起因する電界集中によってゲート絶縁破壊の原因となっていた。

【解決手段】 順次積層されて形成された第1導電形の第1の半導体層、第2導電形の第2の半導体層(2)、および第1導電形の第3の半導体層(8)と、第3の半導体層(8)の表面から第2の半導体層(2)を経て第1の半導体層に達する溝部(5)と、溝部(5)の表面に形成されたゲート絶縁膜(6)およびゲート電極(7)を有し、第3の半導体層と第1の半導体層間の電氣的導通がゲート電極(7)に加えられる電圧により制御される絶縁ゲート形トランジスタにおいて、溝部(5)のゲート絶縁膜(6)の所定部の膜厚が溝部の他の部分の膜厚より厚い絶縁膜により形成される。



【特許請求の範囲】

【請求項1】 順次積層されて形成された第1導電形の第1の半導体層、第2導電形の第2の半導体層、および第1導電形の第3の半導体層と、

前記第3の半導体層の表面から前記第2の半導体層を経て前記第1の半導体層に達する溝部と、

少なくとも前記溝部の表面に形成されたゲート絶縁膜およびゲート電極を有し、前記第3の半導体層と前記第1の半導体層間の電氣的導通が前記ゲート電極に加えられる電圧により制御される絶縁ゲート形トランジスタにおいて、

前記溝部のゲート絶縁膜の所定部の膜厚が前記溝部の他の部分の膜厚より厚い絶縁膜により形成されていることを特徴とする絶縁ゲート形トランジスタ。

【請求項2】 前記厚い絶縁膜が形成されている所定部が前記溝部の上部コーナ部であることを特徴とする請求項1記載の絶縁ゲート形トランジスタ。

【請求項3】 前記厚い絶縁膜が形成されている所定部に接する半導体部分は前記溝部の他の部分よりも高濃度の不純物原子がドーピングされていることを特徴とする請求項1に記載の絶縁ゲート形トランジスタ。

【請求項4】 前記絶縁ゲート形トランジスタはPチャネル型MOSFETであり、前記高濃度の不純物原子は砒素原子であることを特徴とする請求項3記載の絶縁ゲート形トランジスタ。

【請求項5】 前記溝部はその断面が矩形またはU字形のトレンチである請求項1に記載の絶縁ゲート形トランジスタ。

【請求項6】 第1導電形の第1の半導体層の表面に第2導電形の第2の半導体層を形成する工程と、

前記第2の半導体層の表面の所定部分に、前記第2の半導体層の不純物濃度より高濃度の第2導電形の第1の領域を形成する工程と、

前記第1の領域、前記第2の半導体層を経て前記第1の半導体層に達する溝部を形成する工程と、

前記溝部にゲート絶縁膜を形成する工程と、ここで前記第1の領域の部分に形成された前記溝部の上面コーナ部のゲート絶縁膜の膜厚は他の部分のゲート絶縁膜の膜厚より厚く形成され、

前記ゲート絶縁膜表面にゲート電極材を堆積する工程と、

前記第2の半導体層の表面の所定の部分に第1導電形の第3の半導体層を形成する工程とを有することを特徴とする絶縁ゲート形トランジスタの製造方法。

【請求項7】 前記第1の領域を形成する工程において、前記第2の半導体層表面の所定の部分に外部電極を形成するための第2導電形の第2の領域が同時に形成されることを特徴とする請求項6に記載の絶縁ゲート形トランジスタの製造方法。

【請求項8】 前記絶縁ゲート形トランジスタはPチャ

ネル型MOSFETであり、前記高濃度の第2導電形の第1の領域の不純物原子は砒素原子であることを特徴とする請求項6または請求項7記載の絶縁ゲート形トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、絶縁ゲート形トランジスタおよびその製造方法に係り、例えばMOSFETに関する。

【0002】

【従来の技術】近年、パワーデバイスとして用いられるPチャネル型パワーMOSFETにおいても、高速化高周波化、オン抵抗の低減等の要求によりその構造は微細化の一途をたどっている。しかし、パワーMOSFETにおいては一方において高破壊耐量が求められており、かかる微細化による電界集中のためゲート酸化膜の局所的絶縁破壊の弊害がでてきており、その対策が求められていた。

【0003】以下に図9から図18までを用いて従来のトレンチゲート形のPチャネル型パワーMOSFETの製造工程およびその構造について説明し、さらにゲート酸化膜の局所的絶縁破壊の主な原因について説明する。

【0004】まず、従来のPチャネル型パワーMOSFETのトレンチゲートの製造工程を図9から順を追って説明する。図9に示すように、P⁺層上にP型のエピタキシャル層が形成されている半導体基板100の表面を例えば塩酸酸化して酸化膜101を形成する。

【0005】次に、図10に示すように、イオン注入法によって基板100の表面に例えばリンを打ち込み、高温熱処理により拡散およびアニールすることによりパワーMOSFETのベース領域となるN型の拡散層102を形成する。

【0006】次に、レジスト膜によるマスク（図示せず）を形成して、図11に示すように、表面の所定の部分にイオン注入法によりリンを打ち込み拡散およびアニールを行うことによりリンを不純物とするN⁺層を形成する。

【0007】次に、図12に示すように、前記酸化膜101をRIE法（Reactive Ion Etching法）などを用いて除去し、続いて例えば化学気相成長法であるCVD法（Chemical Vapor Deposition法）などを用いることにより、不純物を含まないシリコン酸化膜層であるUDO層（Undoped Oxide層）103を堆積させる。

【0008】さらに図12に示すように、基板表面にレジスト膜によるマスク104を形成し、例えばRIE法などを用いて上記UDO層103の所定部分をエッチングし除去する。

【0009】続いて、図13に示すように前記マスク104を用いて、さらに例えばRIE法などを用いた異方

性エッチングによりN型ベース領域102のエッチングを行い、トレンチ105を形成する。

【0010】続いて、図14に示すように、UDO膜103およびマスク104を例えばRIE法など方法で除去した後、トレンチ105の内部を含む表面全体にシリコン酸化膜であるゲート酸化膜106を例えば塩酸希釈酸化法により形成する。次に、ボロンがドーブされたポリシリコン107をLPCVD法(Low Pressure Chemical Vapor Deposition法)によりトレンチ105の内部を含む表面全体に堆積させ、トレンチ105の内部をポリシリコン107により充填する。

【0011】次に、所定のマスクを形成し(図示せず)、図15に示すように、ソースが形成される β 領域の上部に形成されている、前記ボロンがドーブされたポリシリコン107を例えばRIE法によりエッチングして除去する。このとき図15に示す α 領域の部分の前記ボロンドープのポリシリコン107はゲート電極として残しておく。

【0012】さらに、図16に示すように、例えばレジスト膜によるマスク(図示せず)を形成し、イオン注入法により基板表面にボロンを打ち込み、高温処理によりボロンを拡散させるためのアニール処理をすることによって活性化しP型ソース領域108を形成する。

【0013】次に、図17に示すように、層間絶縁膜109を例えばCVD法などによって堆積させ、所定の形状のマスク(図示せず)を形成して、例えばRIE法などによってエッチングを行う。

【0014】最後に、図18に示すように、電極材として例えばA1層110などをスパッタ法などにより堆積させた後、所定の形状にエッチングして、ベース電極およびソース電極(図示せず)を形成する。さらにドレイン電極(図示せず)を基板100の P^+ 層の裏面に形成する。

【0015】以上が、従来技術におけるトレンチゲート形のPチャネル型パワーMOSFETの製造方法である。このMOSFETは縦型の構造をしている。N形ベース層102はゲート電圧によりトレンチ部に添ってP形に反転してチャネルが形成され、表面側のソースと裏面側のドレイン間が導通する。従ってチャネル長はN形ベース層102の厚さによりフォトリソグラフィの加工精度によらず正確に定まり、短チャネルが容易に形成されるためオン抵抗の低減が可能である。

【0016】しかし、図18に示すトレンチゲート形のPチャネル型パワーMOSFETにおいては、トレンチ105の終端のゲート酸化膜106、即ちゲート電極ポリシリコンの引き出し部のトレンチ105の上部コーナー111におけるゲート酸化膜106は、平坦部またはトレンチ側壁のゲート酸化膜106よりも酸化膜の膜厚が酸化応力により薄くなる。しかも、シリコン表面の形状

は直角に近くなっており、平坦部に比較して鋭くなるため、電界集中が生じゲート酸化膜106の絶縁破壊の原因となっていた。

【0017】

【発明が解決しようとする課題】図9～図18に示すような製造方法および図18に示すような構造では、トレンチの上部終端部のゲート電極ポリシリコンの引出し部のゲート酸化膜は、平坦部またはトレンチの側壁部よりもその膜厚が薄くなる。さらに、Si表面の形状は鋭くなり、電界が集中することによってゲートの絶縁破壊の原因となっていた。

【0018】本発明は上記のような事情を考慮してなされたものであり、トレンチ上部終端のゲート電極ポリシリコン引出し部のゲート絶縁膜の絶縁破壊を防止できる絶縁ゲート形トランジスタおよびその製造方法を提供することを目的とする。

【0019】

【課題を解決するための手段】本発明によるゲート酸化膜の絶縁耐量を向上した絶縁ゲート形トランジスタは、順次積層されて形成された第1導電形の第1の半導体層、第2導電形の第2の半導体層、および第1導電形の第3の半導体層と、前記第1の半導体層の表面から前記第2の半導体層を経て前記第3の半導体層に達する溝部と、少なくとも前記溝部の表面に形成されたゲート絶縁膜およびゲート電極を有し、前記第1の半導体層と前記第3の半導体層間の電氣的導通が前記ゲート電極に加えられる電圧により制御される絶縁ゲート形トランジスタにおいて、前記溝部のゲート絶縁膜の所定部の膜厚が前記溝部の他の部分の膜厚より厚い絶縁膜により形成されている絶縁ゲート形トランジスタである。

【0020】さらに本発明は、前記厚い絶縁膜が形成されている所定部が前記溝部の上部コーナ部である絶縁ゲート形トランジスタであり、また、前記厚い絶縁膜が形成されている所定部に接する半導体部分は前記溝部の他の部分よりも高濃度の不純物原子がドーブされている絶縁ゲート形トランジスタであり、さらに、前記絶縁ゲート形トランジスタはPチャネル型MOSFETであり、前記高濃度の不純物原子は砒素原子である絶縁ゲート形トランジスタであり、また前記溝部はその断面が矩形またはU字形のトレンチである絶縁ゲート形トランジスタである。

【0021】また本発明による絶縁ゲート形トランジスタの製造方法は、第1導電形の第1の半導体層の表面に第2導電形の第2の半導体層を形成する工程と、前記第2の半導体層の表面の所定部分に、前記第2の半導体層の不純物濃度より高濃度の第2導電形の第1の領域を形成する工程と、前記第1の領域、前記第2の半導体層を経て前記第1の半導体層に達する溝部を形成する工程と、前記溝部にゲート絶縁膜を形成する工程と、ここで前記第1の領域の部分に形成された前記溝部の上面コー

5

ナー部のゲート絶縁膜の膜厚は他の部分のゲート絶縁膜の膜厚より厚く形成され、前記ゲート絶縁膜表面にゲート電極材を堆積する工程と、前記第2の半導体層の表面の所定の部分に第1導電形の第3の半導体層を形成する工程とを有することを特徴とする絶縁ゲート形トランジスタの製造方法である。

【0022】また、本発明は前記第1の領域を形成する工程において、前記第2の半導体層表面の所定の部分に外部電極を形成するための第2導電形の第2の領域が同時に形成される絶縁ゲート形トランジスタの製造方法であり、また、前記絶縁ゲート形トランジスタはPチャネル型MOSFETであり、前記高濃度の第2導電形の第1の領域の不純物原子は砒素原子である絶縁ゲート形トランジスタの製造方法である。

【0023】

【発明の実施の形態】本発明は以下の実施の形態を図面を用いて説明するが、本発明はここで説明する実施の形態に限定されるものではない。下記実施の形態は発明の目的を逸脱しない限りにおいて多様に変形することができる。

【0024】本発明の実施の形態を以下に図1から図8を用いて説明する。本実施の形態に係るトレンチゲート形のPチャネル型パワーMOSFETのトレンチゲートの製造工程を図1から順を追って説明する。なお、本発明は以下説明するトレンチゲート形のPチャネル型パワーMOSFETに限定されるものではなく、例えばV溝形FETなど他のMOSFETにも適用可能である。

【0025】本実施の形態に係るトレンチゲートの製造工程は、先に説明した従来の技術における図9から図10までの製造工程は同様である。即ち、 P^+ 層上にP型エピタキシャル層が形成されている半導体基板の表面を例えば塩酸酸化してシリコン酸化膜1を形成する。次に、イオン注入法によってP型基板の表面に例えばリンを打ち込み、さらに高温熱処理により拡散およびアニールすることによりPチャネル型パワーMOSFETのベース領域となるN型の拡散層2を形成する。

【0026】それ以降が本発明と従来技術の製造工程の違うところであるので、図1からその後の工程を説明する。

【0027】図1に示すように、N型の拡散層2を形成した基板の表面に例えばレジスト膜による所定のマスク（図示せず）を形成して、表面からイオン注入法により例えば砒素を打ち込み、その後高温熱処理してリンを拡散させ、さらにアニールすることにより、基板表面に部分的に N^+ 層を形成する。なお、以降の工程でトレンチを形成する予定である箇所5を点線で示す。部分的に N^+ 層を形成するのは図1に示すように、将来ベース電極を取り出す部分13とトレンチの上部終端部分の近傍14である。イオン注入する原子は砒素に限定されるものではなく、不純物としてシリコンに注入された場合にシ

6

リコンの酸化速度を増加させる不純物となるものであれば良い。

【0028】次に、図2に示すように前記酸化膜1をRIE法などによりエッチングして除去し、続いて例えばCVD法などを用いて新たに不純物を含まないシリコン酸化膜を堆積させUD層3を形成する。

【0029】次に図2に示すように基板表面に次の工程でトレンチを形成する部分が開口した例えばレジスト膜によるマスク4を形成する。

10 【0030】さらに、図3に示すように先ず前記マスク4を用いて例えばRIE法などによりUD層3のエッチングを行う。さらに、例えばRIE法などを用いた異方性エッチングによりN型ベース領域2のエッチングを行いトレンチ5を形成する。なお、このトレンチ5はN型ベース領域2を貫通しその底部15はP型エピタキシャル層内に達するようにする。

【0031】次にマスク3およびUD層4を例えばRIE法などを用いて除去した後、図4に示すように、先ずトレンチ5の内部を含む表面全体に、例えば塩酸希釈酸化法によりシリコンの酸化膜であるゲート酸化膜6を形成する。ゲート酸化膜6の形成時にトレンチ5の終端部分12の N^+ 層14の表面は、高濃度にドーブされた砒素による増速酸化の効果で、その部分だけトレンチ内部等の他の部分よりも約2倍程度酸化膜の厚さが厚くなる。このため、従来技術において問題点であったトレンチ肩部の電界集中によるゲート絶縁膜の破壊が緩和される。

【0032】次に、ボロンがドーブされたポリシリコン7をLPCVD法（Low Pressure Chemical Vapor Deposition 法）によりトレンチ5の内部を含む表面全体に堆積させ、トレンチ5の内部をポリシリコン7により充填する。

【0033】次に、図5に示すように、ソース領域8（図6参照）が形成される β 部分の上部に当たる前記ボロンがドーブされたポリシリコン7を例えばRIE法により平坦にエッチングしてその表面層を除去する。このとき、ゲート電極となる α 部分の前記ボロンがドーブされたポリシリコン層7は残される。

40 【0034】さらに、ゲート電極となる α 部分をマスク（図示せず）し、図6に示すようにイオン注入法によりボロンを打ち込み、高温熱処理によりボロンを拡散させることによってソース領域8を形成する。

【0035】次に、図7に示すように、シリコン酸化膜またはシリコン窒化膜またはそれらの積層膜からなる層間絶縁膜9を例えばCVD法などによって堆積させ、電極取出しのための開口部を形成するためのマスク（図示せず）を形成し、例えばRIE法などによってエッチングを行う。なお、層間絶縁膜9としては、例えばPSG（Phospho-Silicate Glass）

50

膜、BPSG (Bron-doped Phospho-Silicate Glass) 膜、およびUDO膜からなる3層構造の絶縁膜を用いることもできる。

【0036】最後に、図8に示すように、電極材として例えばアルミニウム層10などをスパッタ法などにより堆積させた後、ソース電極およびベース電極を形成する。さらにドレイン電極(図示せず)をP型基板のP⁺層の裏面に形成する。

【0037】以上に記載の本発明の工程を用いることにより、トレンチの上部終端のゲート電極ポリシリコン引出し部のトレンチ上部コーナーに高濃度砒素でN⁺層14を形成することによって、ゲート酸化時に不純物である砒素の特徴であるシリコンの増速酸化により、トレンチ上部コーナーのゲート酸化膜を厚くすることができ、ゲート耐量を向上することができる。

【0038】しかも、上記トレンチ近傍の高濃度砒素N⁺層14は、Pチャネル型パワーMOSFETのベース領域の電極取出し部が十分に低抵抗のコンタクトが取れるようこの電極形成部に設けられる高濃度のN⁺領域13と同時に形成することが可能であり、イオン注入工程を増やすことなく形成し得る。

【0039】本発明を用いるPチャネル型パワーMOSFETにおいては、トレンチ上部終端のゲート電極ポリシリコン引出し部のトレンチ上部コーナーに、例えば高濃度砒素を不純物とするN⁺層を形成することによって、この部分についてゲート酸化時に高濃度砒素不純物を含むシリコンの特徴である増速酸化を行う。かかる酸化により、従来の酸化時間と同じ時間でトレンチ上部コーナーのみゲート酸化膜を他の部分と比較し例えば約2倍程度厚くすることができる。このため、コーナ部のゲート絶縁膜の絶縁破壊耐量を向上することができる。

【0040】上記説明においては、主にトレンチゲート形P型パワーMOSFETの製造工程について説明したが、P型に限らずN型パワーMOSFETのゲート絶縁膜の耐圧向上に適用することも可能である。またトレンチゲート形に限定されるものではなく、いわゆるV溝形のMOSFETに適用することも可能である。

【0041】

【発明の効果】従来の酸化時間と同じ時間でトレンチ上部コーナーのみゲート酸化膜を他の部分と比較し例えば約2倍程度厚くすることができる。このため、コーナ部のゲート絶縁膜の絶縁破壊耐量を向上することができる。

【図面の簡単な説明】

【図1】本発明の実施形態に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図2】図1に続く、本発明の実施形態に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図3】図2に続く、本発明の実施形態に係るトレンチ

ゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図4】図3に続く、本発明の実施形態に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図5】図4に続く、本発明の実施形態に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す斜視図。

【図6】図5に続く、本発明の実施形態に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図7】図6に続く、本発明の実施形態に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図8】図7に続く、本発明の実施形態に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図9】従来の技術に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図10】図9に続く、従来の技術に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図11】図10に続く、従来の技術に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図12】図11に続く、従来の技術に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図13】図12に続く、従来の技術に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図14】図13に続く、従来の技術に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図15】図14に続く、従来の技術に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す斜視図。

【図16】図15に続く、従来の技術に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

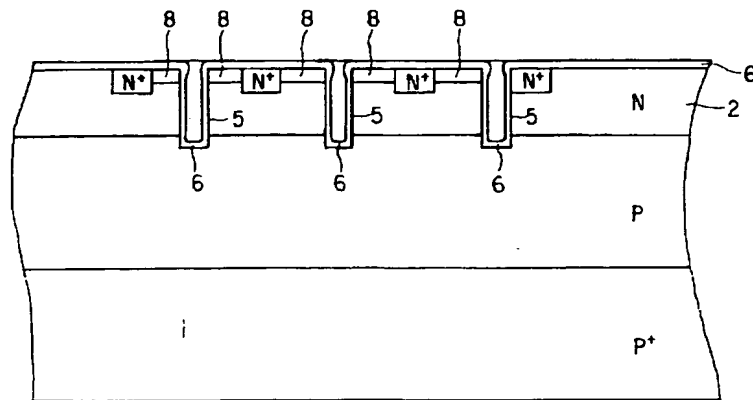
【図17】図16に続く、従来の技術に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

【図18】図17に続く、従来の技術に係るトレンチゲート形のP型パワーMOSFETの製造工程を示す断面図。

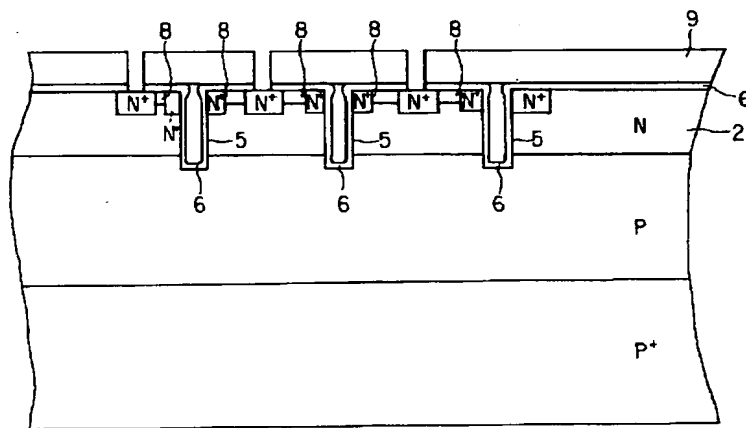
【符号の説明】

- 1、101…酸化膜
- 2、102…N型ベース領域
- 3、103…UDO

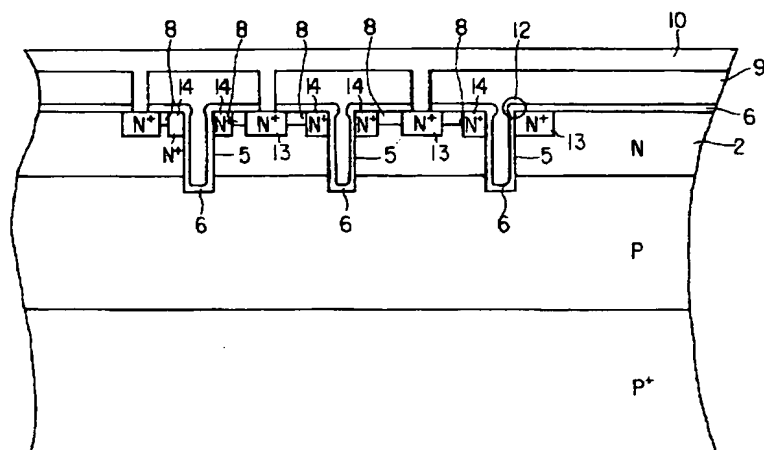
【図 6】



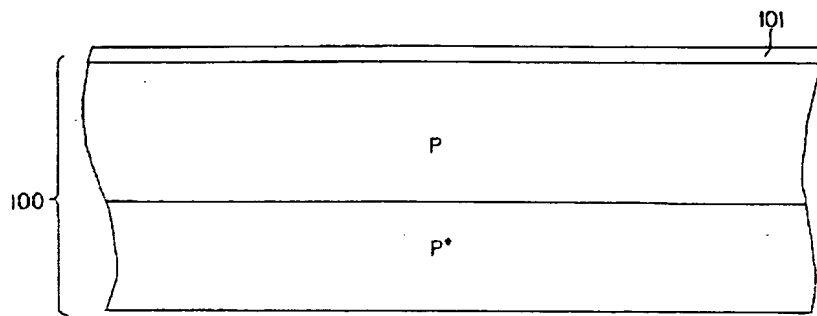
【圖 7】



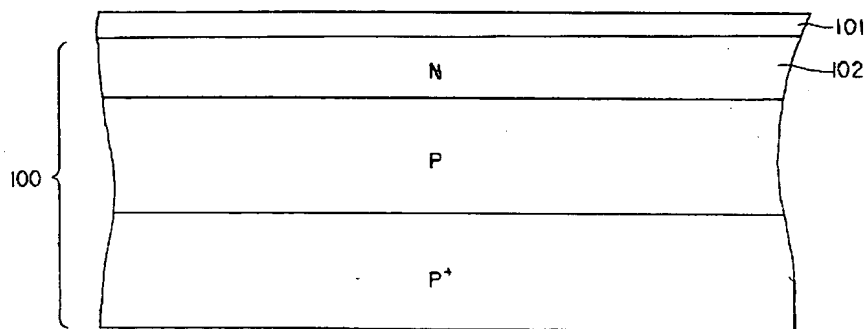
【圖 8】



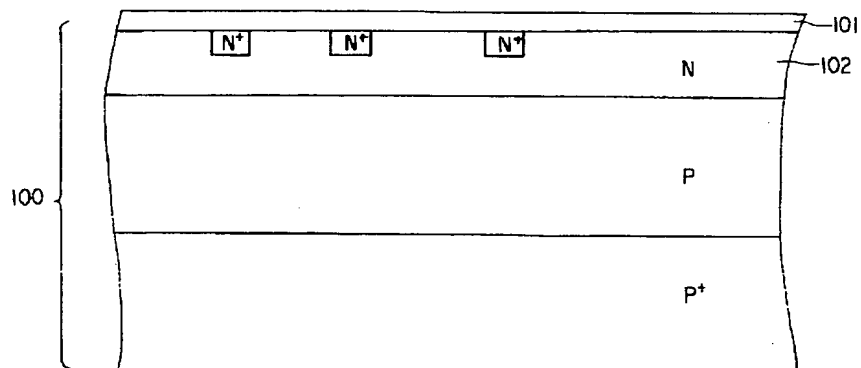
【図9】



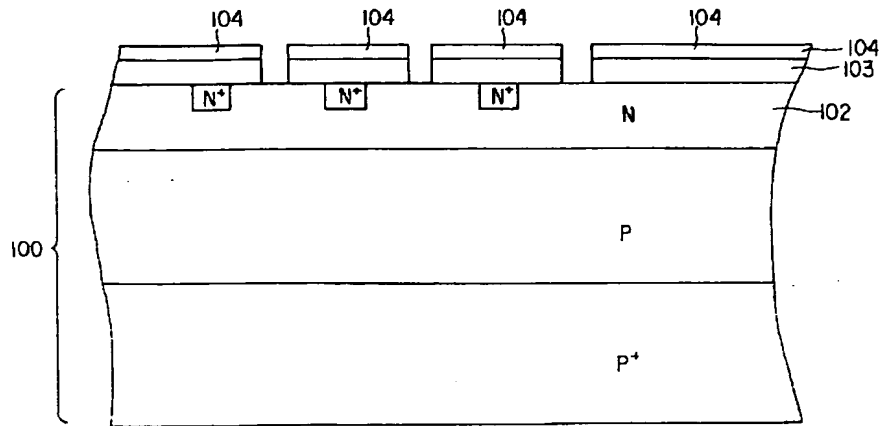
【図10】



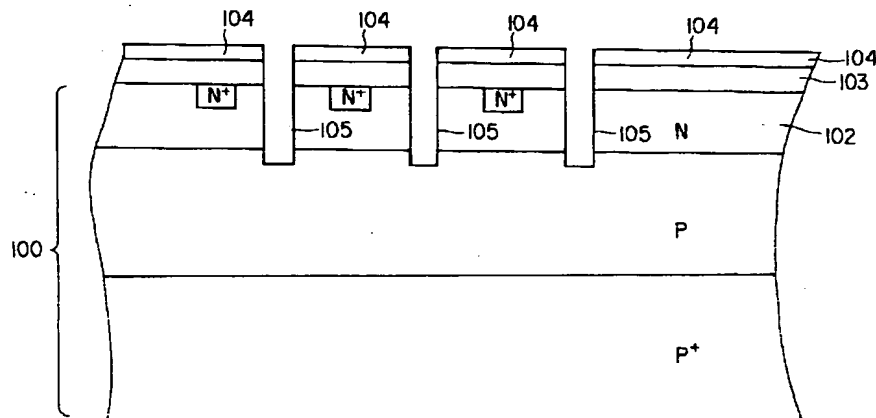
【図11】



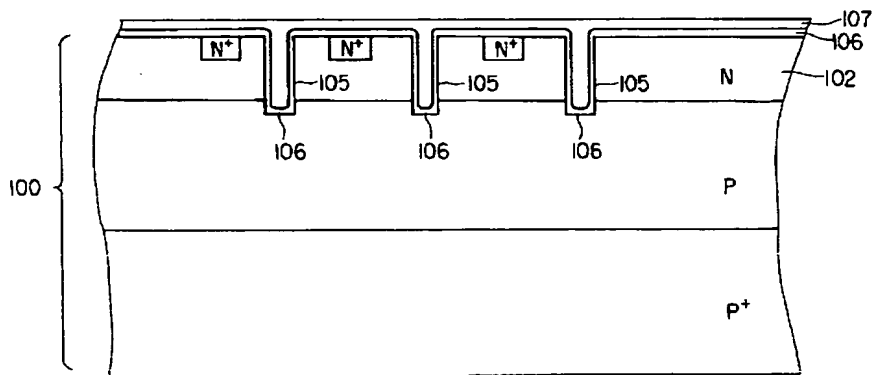
【図 12】



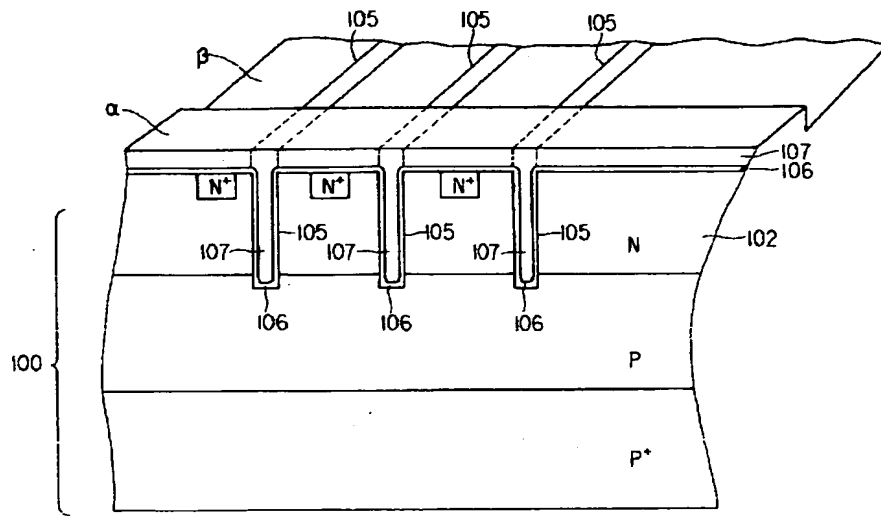
【図 13】



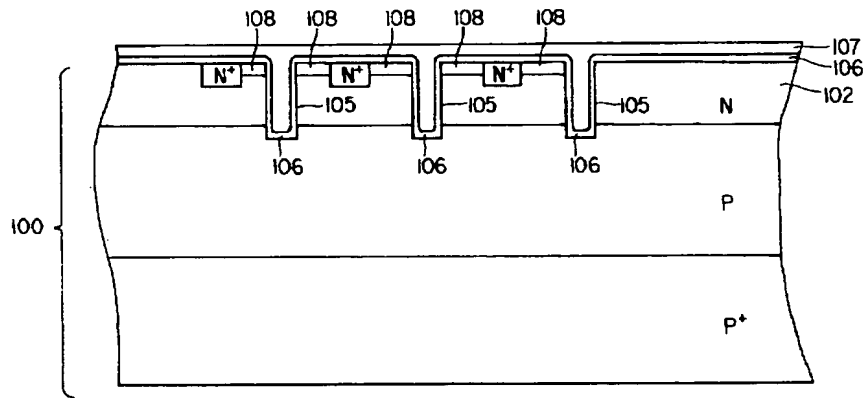
【図 14】



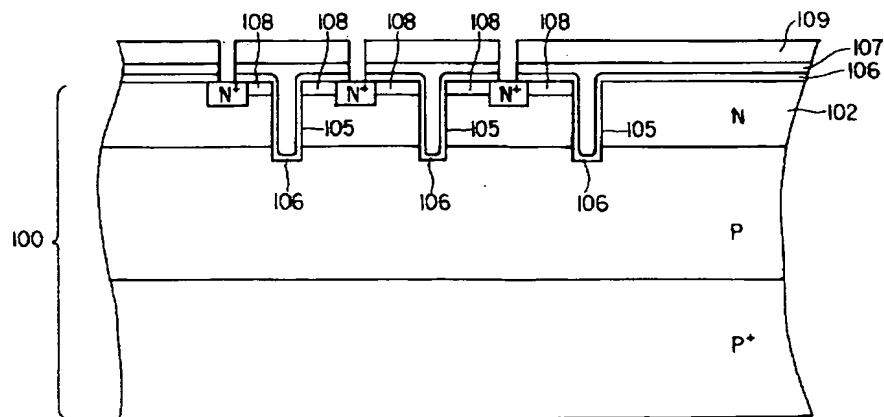
【図 15】



【図 16】



【図 17】



【図 18】

